

Федеральное агентство связи

**Федеральное государственное образовательное бюджетное учреждение
высшего профессионального образования**

**ПОВОЛЖСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ
ТЕЛЕКОММУНИКАЦИЙ И ИНФОРМАТИКИ**

**ЭЛЕКТРОННАЯ
БИБЛИОТЕЧНАЯ СИСТЕМА**

Самара

Федеральное государственное образовательное бюджетное учреждение
Высшего профессионального образования
Поволжский государственный университет
Телекоммуникация и информатики
Кафедра радиосвязи, радиовещания и телевидения

**Методическая разработка
по дисциплине
Схемотехника телекоммуникационных устройств
раздел:**

**«Схемотехника основных логических элементов и узлов цифровых
устройств на их основе»**

для студентов заочного обучения направления 210700 «Информационные
технологии и системы связи», профилей подготовки «Многоканальные
телекоммуникационные системы», «Сети связи и системы коммутации»

Составил

к.т.н., доцент Рында А.И.

Самара 2013

УДК 621.3.049.77.

Р 95

Схемотехника основных логических элементов и узлов цифровых устройств на их основе: методическая разработка по дисциплине «Схемотехника телекоммуникационных устройств»:

Рында А.И. Самара: ИУНЛ ГОУВПО ПГУТИ. 2013-40 с.

Методическая разработки предназначена для студентов заочного обучения направления 210700

«Инфокоммуникационные технологии и системы связи» профилей «многоканальные телекоммуникационные технологии и системы связи», «Сети связи и системы коммутации» по дисциплине «Схемотехника телекоммуникационных устройств» и посвящена ее разделу: «Схемотехника основных логических элементов и узлов цифровых устройств на их основе»

В методической разработке размещены сведения о базовых функциональных логических элементах комбинационного типа и их схемной реализации, сведения о базовых функциональных логических элементах последовательностного типа, их схемной реализации, а так же цифровые узлы на их основе: сумматоры, триггеры, счетчики, дешифраторы, регистры. В методической разработке приведены: список используемой литературы, контрольные вопросы и приложение по основным операциям булевой алгебры и тождествам.

© А.И.Рында

Введение

Данная методическая разработка составлена с прямой целью – помочь студентам заочной формы обучения, в особенности студентам «ускоренникам», изучающим дисциплину «Схемотехника телекоммуникационных устройств», освоить базовые элементы и узлы цифровой схемотехники», а также может быть использована для дистанционного обучения данного раздела данной дисциплины. Согласно государственному образовательному стандарту ГОС-3 студенты, изучающие данную дисциплину должны получить базовые знания по аналоговой и цифровой схемотехнике, необходимые для изучения аналоговых и цифровых устройств в процессе изучения последних на старших курсах в соответствующих специальных дисциплинах. Мониторинг показал, что студенты заочной формы обучения испытывают значительные трудности при изучении цифровой схемотехники.

Заметим, что данная методическая разработка является дополнением к конспекту лекций по дисциплине «Схемотехника телекоммуникационных устройств» (автор Рында А.И.), специально составленному для студентов заочной формы обучения в 2012 году и размещенного на сайте дистанционного обучения ПГУТИ.

Автор методички стремился представить материал раздела в лаконичной форме, доступной для легкого понимания основ цифровой схемотехники в рамках объема программы дисциплины «Схемотехника телекоммуникационных устройств»

Автор методички надеется, что данная методичка будет полезной и студентам дневного обучения.

1. Базовые функциональные элементы цифровых узлов и устройства на их основе.

1.1. Основные логические элементы (схемы без памяти).

По виду реализуемой логической функции базовые логические элементы могут быть разделены на простейшие элементы одноступенчатой (И, ИЛИ, НЕ, И-НЕ, ИЛИ-НЕ) и двухступенчатой (И-ИЛИ, И-ИЛИ-НЕ и др.) логики.

На основе логических элементов одно- и двух- ступенчатой логики могут быть построены сложные функциональные узлы как комбинационные (полусумматоры, сумматоры), так и последовательные с памятью (например, триггеры).

Простейшей логической функцией является функция «НЕ» (логическое отрицание), которая записывается как $Y(X) = \bar{X}$. Значение истинности функции

$Y(X)$, получаемой путем отрицания переменного X в зависимости от значений истинности последнего, определяется из таблицы 1, которая называется таблица истинности.

Таблица 1. Отрицание.

X	$Y(X) = \bar{X}$
0	1
1	0

В электронных схемах отрицание реализуется с помощью ключевого элемента НЕ, построенного на усилительном приборе.

На рисунке 1 показана схематехническая реализация элемента НЕ на биполярном транзисторе.

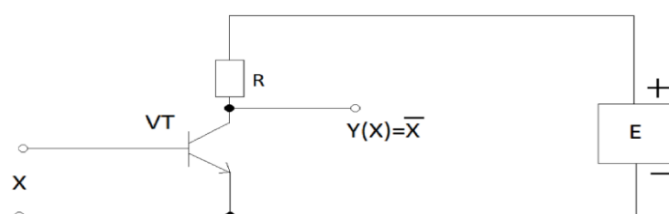


Рисунок 1. Реализация элемента НЕ.

Для двух переменных X_1, X_2 существует $2^2 = 4$ различных логических функций, каждая из которых определена четырьмя возможными комбинациями переменных.

В таблице 2 приведены четыре наиболее распространенных типа логических элементов, а также выполняемые ими функции, их обозначения и названия.

Таблица 2. Наиболее распространенные типы логических элементов и их функции.

Логический элемент	Выполняемая функция	Переменные				Название Функции	
		x_1	0	0	1		1
		x_2	0	1	0		1
И	$Y = X_1 X_2$		0	0	0	1	Конъюнкция
И-НЕ	$Y = \overline{X_1 X_2}$		1	1	1	0	Штрих Шеффера
ИЛИ	$Y = X_1 + X_2$		0	1	1	1	Дизъюнкция
ИЛИ-НЕ	$Y = \overline{X_1 + X_2}$		1	0	0	0	Стрелка Пирса

Из таблицы 2 следует, что достаточно иметь один логический элемент И-НЕ (ИЛИ-НЕ), чтобы на его основе построить все многообразие логических схем.

Схемотехническое обозначение указанных выше логических элементов имеет вид:

Таблица 3. Схемотехническое обозначение логических элементов.

Логический элемент	Схемотехническое обозначение
И	
НЕ	
И-НЕ	
ИЛИ	
ИЛИ-НЕ	

Простейшая схемотехническая реализация логического элемента И имеет вид:

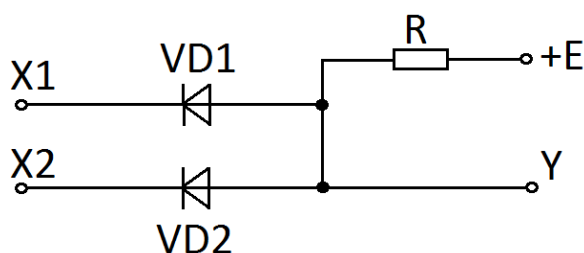


Рисунок 2. Схема диодного вентиля И.

Действительно, если на любом из его входов (X_1, X_2) действует низкий уровень (логический ноль), то он будет действовать и на выходе схемы ($Y=0$).

Высокий уровень на выходе схемы И ($Y=1$) будет лишь тогда, когда он будет присутствовать на обоих входах

($X_1 = 1, X_2 = 1$).

Простейшая схемотехническая реализация логического элемента И-НЕ показана на рисунке 3.

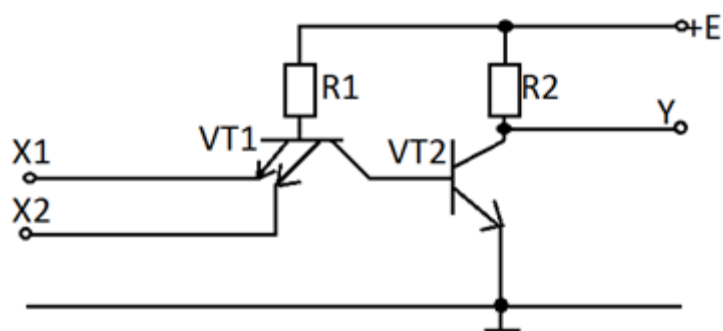


Рисунок 3. Схемотехническая реализация И-НЕ.

На рисунке 3 показан фрагмент транзисторно-транзисторной логики (ТТЛ). Поясним работу схемы. Если входы схемы имеют высокий уровень $X_1 = 1, X_2 = 1$ то, ток, протекающий через резистор R1 по открытому в прямом направлении переходу база-эмиттер транзистора VT1 течет в базу транзистора VT2 и приводит его в открытое состояние. При этом, напряжение на коллекторе VT1 составляет около 0,6 В и этого достаточно для того, чтобы VT2 оказался открытым, а следовательно $Y=0$. Если же на один из входов X1 или X2 подан низкий уровень (логический ноль), то соответствующий переход база-эмиттер VT1 открывается и отбирает базовый ток транзистора VT2. При этом VT2 запирается и напряжение на коллекторе VT2 принимает высокий уровень, а значит $Y=1$.

Схемотехническая реализация логических элементов ИЛИ и ИЛИ-НЕ приведена на рисунке 4.

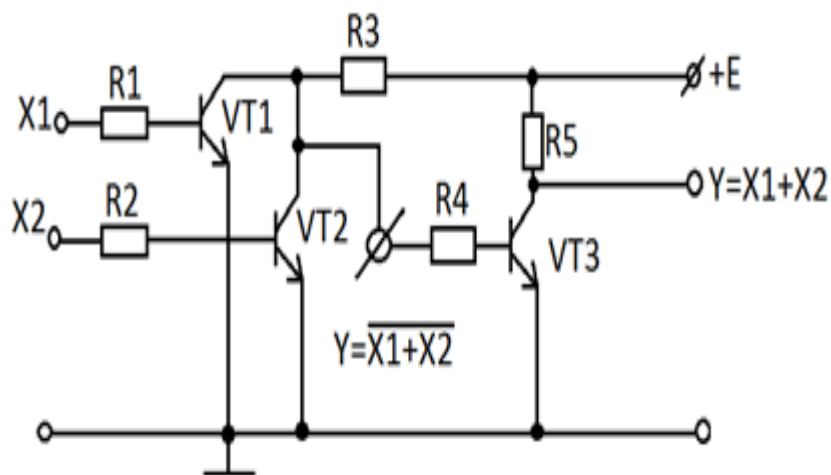


Рисунок 4. Схемотехническая реализация ИЛИ и ИЛИ-НЕ.


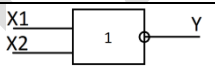
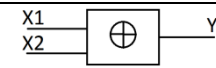
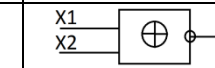
Поясним работу схемы: Высокий уровень, действующий по любому входу X1 или X2 (или по обоим входам одновременно $X1=1$ и $X2=1$), откроет хотя бы один транзистор (VT1 или VT2) и на выходе (на объединенных коллекторах

VT1 – VT2) появится низкий уровень $Y = \overline{X_1 + X_2} = 0$, т.е. выход схемы на транзисторах VT1 и VT2 проявит себя как инвертирующий инвертор. Добавление в схеме инвертора на транзисторе VT3 преобразует схему в логический элемент ИЛИ.

1.2. Производные основных логических функций.

Считается, что основными логическими функциями являются функции ИЛИ, И и НЕ, так как посредством соответствующих комбинаций с их помощью может быть получена любая логическая функция. Имеется ряд логических функций, производных от основных, которые часто встречаются в схемотехнике, и им даны собственные названия. К ним относят функции: И-НЕ, ИЛИ-НЕ, исключающее ИЛИ. Выполняемые ими функции представлены в таблице 4.

Таблица 4. Производные логические функции.

Входные переменные		И-НЕ	ИЛИ-НЕ	Исключающее ИЛИ	Исключающее ИЛИ-НЕ
X_1	X_2	$Y = \overline{X_1 \cdot X_2}$	$Y = \overline{X_1 + X_2}$	$Y = X_1 \oplus X_2$	$Y = \overline{X_1 \oplus X_2}$
0	0	1	1	0	1
0	1	1	0	1	0
1	0	1	0	1	0
1	1	0	0	0	1
Схемотехническое обозначение					

Заметим, что функции И-НЕ и ИЛИ-НЕ образуются путем инверсии результатов, получаемых при выполнении функции И и ИЛИ соответственно.

Логические функции «исключающее ИЛИ» могут быть типа:

А) $Y = \text{равнозначность } (X_1, X_2) = \overline{X_1} \cdot \overline{X_2} + X_1 \cdot X_2$

При этом $Y=1$ лишь тогда, когда обе входные переменные равны между собой, т.е. если $X_1=0$ и $X_2=0$ либо $X_1=1$ и $X_2=1$.

Б) $Y = \text{неравнозначность } (X_1, X_2) = \overline{X_1} \cdot X_2 + X_1 \cdot \overline{X_2}$

При этом $Y=1$ лишь тогда, когда значения входных переменных X_1 и X_2 различны, т.е. если $X_1=0$ и $X_2=1$ либо $X_1=1$ и $X_2=0$.

Функция равнозначности называется функцией «исключающее ИЛИ-НЕ». Функция неравнозначности называется функцией «исключающее ИЛИ (эту функцию называют также «суммированием по модулю 2»)). Особенность этой

функции в том, что она совпадает с функцией ИЛИ во всех случаях, кроме одного, когда все входные переменные принимают единичное значение ($X_1 = 1$ и $X_2 = 1$). Заметим, что логическая функция «исключающее ИЛИ» находит применение при построении схем сложения двоичных чисел (полусумматоры – сложение одноразрядных чисел и полные сумматоры – сложение двух многоразрядных чисел).

1.3. Триггеры.

В цифровой схемотехнике большое место в качестве базовых элементов, кроме элементов, реализующих основные логические функции находят различные триггерные схемы (схемы с памятью). Наиболее широкое распространение получили триггеры типов RS, T, D и JK. Рассмотрим кратко их схемотехническую реализацию.

1.3.1. Основная схема (RS – триггер)

RS - триггер можно построить на двух вентилях ИЛИ – НЕ, охватив их обратными связями. Например, так как это показано на рисунке 5

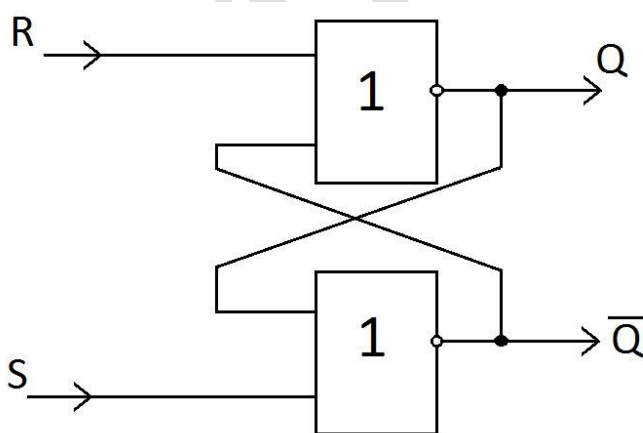


Рисунок 5. RS – триггер на 2-х элементах ИЛИ – НЕ.

Триггер RS – типа имеет два информационных входа: R и S. При $S=1$ (единичный вход) и $R=0$ (нулевой вход) на выходах триггера появляются сигналы: на прямом выходе $Q=1$ и инверсном $\bar{Q}=0$. При $S=0$ и $R=1$ выходные сигналы триггера принимают противоположные состояния ($Q=0$, $\bar{Q}=1$). Этот триггер не имеет тактового входа.

Таблица истинности для триггера RS–типа приведена в таблице 5.

Таблица 5. Таблица истинности для RS – триггера.

Время t				Время $(t+1)$	
Предыдущая информация		Записываемая информация		Результат	
Выходы		Входы		Выходы	
Q	\bar{Q}	R	S	Q	\bar{Q}
0	1	0	0	0	1
0	1	0	1	1	0
0	1	1	0	0	1
0	1	1	1	X	X
1	0	0	0	1	0
1	0	0	1	1	0
1	0	1	0	0	1
1	0	1	1	X	X

Следует обратить особое внимание на случай, когда на входы R и S одновременно поступают сигналы «1». При этой ситуации выходные сигналы триггера неопределены, поэтому в устройствах на основе RS – триггера необходимо исключить режим, когда на оба входа R и S поступают логические единицы. RS – триггер обычно присутствует как устройство памяти в других типах триггеров. Условное схематехническое изображение RS – триггера имеет вид:

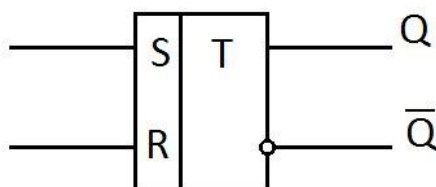


Рисунок 6. Условное схематехническое изображение RS – триггера.

1.3.2. Триггеры типов D, JK.

Триггер D – типа имеет информационный вход D, вход синхронизации C (тактовый) и один или два выхода Q (\bar{Q}). Графическое условное обозначение D – триггера имеет вид:

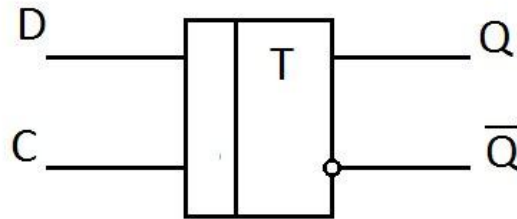


Рисунок 7. Графическое условное обозначение D – триггера.

Состояние триггера после прихода тактового импульса на вход «C» в момент времени (t+1) совпадает с уровнем входного сигнала на входе «D», действовавшего в момент времени «t». В D – триггере осуществляется задержка входного сигнала. Таблица истинности D – триггера приведена в таблице 6.

Таблица 6. Таблица истинности для D – триггера.

Время t			Время (t+1)	
Выходы		Вход	Выходы (после прихода тактового импульса)	
Q	\bar{Q}	D	Q	\bar{Q}
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0

Схемотехнически D – триггеры обычно строят на базе RS – триггеров. На рисунке 8 приведена логическая структура D – триггера типа K155TM2.

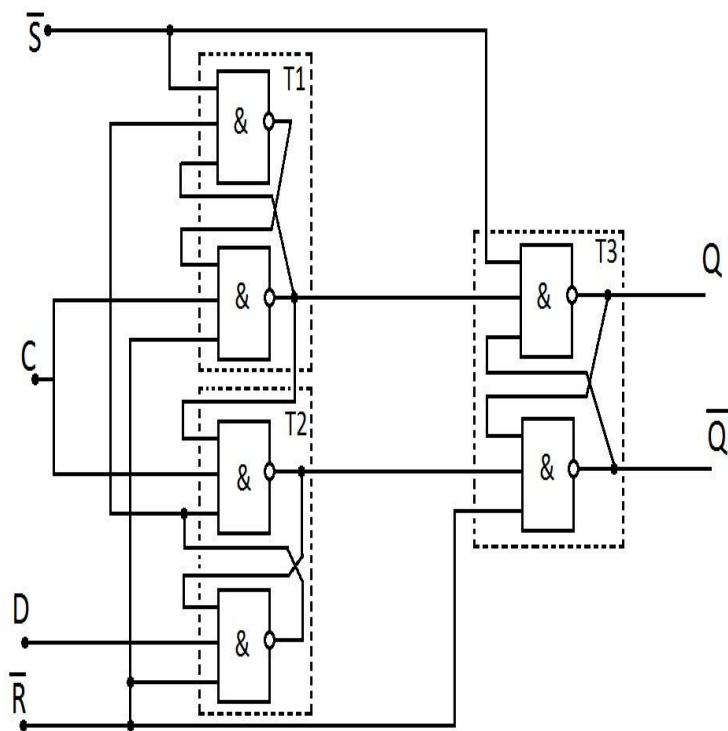


Рисунок 8. Логическая структура D – триггера К155ТМ2.

Схема D – триггера (рисунок 8) состоит из основного асинхронного RS – триггера Т3, вспомогательного синхронного RS – триггера Т1, используемого для записи «1» в основной триггер Т3, а также вспомогательного синхронного RS – триггера Т2 для записи «0» в основной триггер Т3.

Запись информации в триггеры Т1 и Т2 происходит в момент времени «t» только по положительному фронту импульса синхронизации (тактового импульса), поступающего на счетный вход «С». В момент времени (t+1) со следующим тактовым импульсом информация появляется на выходе Т3. Таким образом, D – триггер генерирует «1» выходной информации в момент прихода положительного перепада синхроимпульса, если предварительно на входе «D» присутствовала «1». При отсутствии сигнала на счетном входе «С» триггер сохраняет свое предыдущее состояние. Заметим, что D – триггер может выполнять функцию счетного триггера, если инверсный выход \bar{Q} соединить с входом «D». В асинхронном режиме D – триггер работает аналогично RS – триггеру (состояние входов «D» и «С» произвольны).

Триггер JK – типа имеет два информационных входа «J» и «K», и тактовый вход синхронизации «С». Графическое условное обозначение JK триггера показано на рисунке 9.

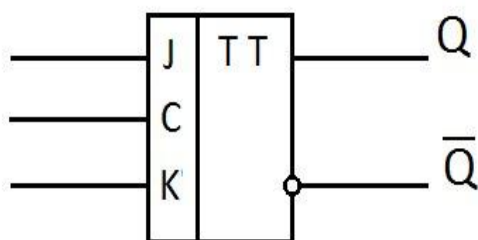


Рисунок 9. Графическое условное обозначение JK – триггера.

По принципу работы JK – триггер аналогичен D – триггеру. Приведем таблицу истинности для JK – триггера.

Таблица 7. Таблица истинности для JK – триггера.

Время «t»				Время (t+1)	
Выходы		Входы		Выходы после подачи тактового импульса	
Q	\bar{Q}	J	K	Q	\bar{Q}
0	1	0	0	0	1
0	1	0	1	0	1
0	1	1	0	1	0
0	1	1	1	1	0
1	0	0	0	1	0
1	0	0	1	0	1
1	0	1	0	1	0
1	0	1	1	0	1

Заметим, что в отличие от RS – триггера при условии J=1, K=1 он осуществляет инверсию предыдущего состояния (то есть перебрасывается при одновременном поступлении J=1 и K=1). Если на входах «J» и «K» действуют противоположные сигналы, то при очередном фронте тактового импульса выход «Q» воспроизведет значение «J» - входа. Если оба входа «J» и «K» имеют низкий уровень, то состояние выхода не изменится. Схематическая реализация JK – триггера выполняется обычно по принципу двухступенчатого

запоминания информации, т.е. структурно «JK» – триггер состоит из двух RS – триггеров, включенных по принципу «ведущий – ведомый», один из которых является основным, а другой вспомогательным. Информация записывается в основной триггер в момент прихода положительного фронта импульса синхронизации, подаваемого на вход «С». Во время действия синхроимпульса, а в вспомогательном триггере сохраняется информация, записанная в предыдущем такте. По окончании импульса синхронизации информация из основного триггера переписывается во вспомогательный.

2. Цифровые узлы комбинационного типа.

Прежде всего отметим, что логическое устройство (узел) называется комбинационным, если состояния выходов в момент времени «t» однозначно определяется комбинацией состояний входов в момент времени « $t_1 \leq t$ ».

В состав узлов комбинационного типа входят: сумматоры (полусумматоры), схемы сравнения, дешифраторы, преобразователи кодов.

2.1. Сумматоры.

Сумматорами называются логические устройства, выполняющие операцию сложения двух чисел. В зависимости от способа обработки чисел различают последовательные и параллельные сумматоры.

Последовательные сумматоры комбинационного типа строят, как правило, на основе одноразрядной суммирующей схемы. В таких устройствах сложение двух чисел производится поразрядно последовательно во времени.

Параллельные сумматоры комбинационного типа строят по каскадному принципу на основе композиции одноразрядных суммирующих схем, причем обработка чисел в таких устройствах производится одновременно во всех разрядах.

Одноразрядные суммирующие схемы различают по числу входов.

Одноразрядные суммирующие схемы на два входа A_i и B_i часто называют полусумматорами или сумматорами по модулю «2». Выходными сигналами такого устройства являются сумма « C_i » и перенос « P_i », который при суммировании по модулю 2 не используется. Работа полусумматора определяется выражениями:

$$C_i = A_i \bar{B}_i + \bar{A}_i B_i ,$$

$$P_i = A_i B_i$$

Таблица истинности полусумматора имеет вид:

Таблица 8. Таблица истинности полусумматора.

A_i	B_i	C_i	Π_i
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Схемотехническая реализация полусумматора выполняется на логических элементах И – ИЛИ – НЕ. Реализация полусумматора, использующая только прямые коды переменных приведена на рисунке 10.

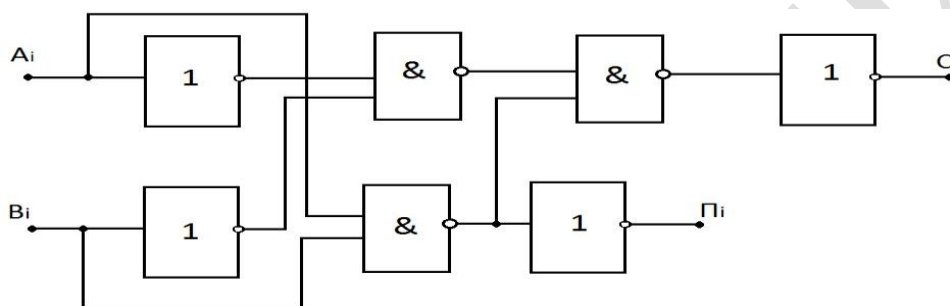


Рисунок 10. Схема одноразрядного полусумматора, использующая прямые коды слагаемых.

Если требуется построить схему на два и более разряда, выход переноса младшего разряда « Π_{i-1} » соединяется с соответствующим входом полусумматора старшего разряда, который должен иметь три входа. Такие суммирующие схемы носят название полных сумматоров. Закон функционирования полного сумматора определяется таблицей истинности.

Таблица 9. Таблица истинности полного сумматора.

A_i	B_i	Π_{i-1}	C_i	Π_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Схемотехническая реализация полного сумматора приведена на рисунке 11.

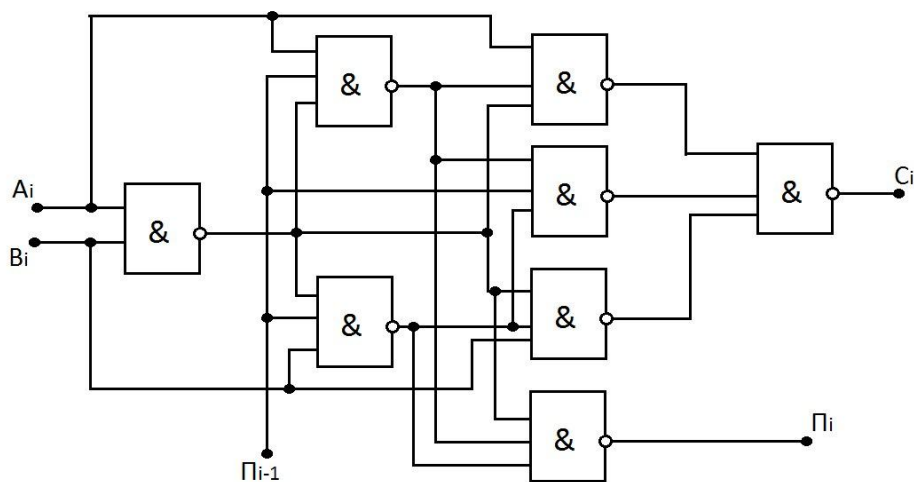


Рисунок 11. Схема полного сумматора в базисе И – НЕ.

2.2. Схемы сравнения.

Схемы сравнения предназначены для сравнения двух чисел (слов), заданных, как правило, в одной из разновидностей двоичного кода. Основными операциями, выполняемыми схемами сравнения, являются определение признака равенства или неравенства двух сравниваемых n – разрядных чисел, причем в последнем случае операция сравнения может сопровождаться определением знака неравенства. Заметим, что равенство двух n – разрядных двоичных чисел имеет место при равнозначности цифр всех разрядов.

Значение функций равнозначности ($F_{iA=B}$) и неравнозначности ($F_{iA \neq B}$) цифр в i -х разрядах сравниваемых чисел A и B приведена в таблице истинности.

Таблица 10. Таблица истинности функций равнозначности и неравнозначности.

a_i	b_i	$F_{iA=B}$	$F_{iA \neq B}$
0	0	1	0
1	0	0	1
0	1	0	1
1	1	1	0

2.3. Дешифраторы.

Дешифраторами называют комбинационные логические устройства, имеющие K входов и N выходов, в которых каждому состоянию выходов однозначно соответствует одна из возможных комбинаций двоичных сигналов на входах (состояний входов).

Если на входы дешифратора подается n – разрядное двоичное число, то на одном из его выходов вырабатывается сигнал единицы (нуля), а на остальных выходах сохраняется сигнал нуля (единицы). При этом количество входов K дешифратора равно $2n$, если каждый разряд дешифруемого числа представляется прямым и инверсным кодом, или же количество входов K равно n , если каждый разряд дешифруемого числа представлен только одним видом кода (прямым или инверсным). Максимальное количество выходов определяется величиной $N = 2^n$.

Дешифратор называется неполным, если $N < 2^n$, и полным если $N = 2^n$.

В общем случае схема дешифратора может быть описана с помощью переключательных функций $2n$ переменных следующего вида:

$$f_1 = \overline{X_n} \cdot \overline{X_{n-1}} \dots \overline{X_2} \cdot \overline{X_1},$$

$$f_2 = \overline{X_n} \cdot \overline{X_{n-1}} \dots \overline{X_2} \cdot X_1,$$

$$f_{2^n} = X_n X_{n-1} \dots X_2 X_1,$$

Где $X_1, \overline{X_1}, X_2, \overline{X_2}, \dots, X_n, \overline{X_n}$ - двоичные переменные на входах дешифратора;

f_1, f_2, \dots, f_{2^n} - переключательные функции выходов дешифратора.

На входы дешифратора подается адрес, возбуждающий один из N возможных выходов. Дешифраторы часто применяются для преобразования кодов. Например, для преобразования двоичного кода в десятичный, или в качестве преобразователя двоично-десятичного кода в семисегментный с формирователями для управления цифровыми индикаторами (цифровые шкалы – дисплеи настройки в радиоприемных устройствах и т.д.)

3. Цифровые узлы последовательностного типа.

Прежде всего заметим, что в отличие от цифровых узлов комбинационного типа в цифровых узлах последовательностного типа выходные переменные зависят не только от входных переменных, но и от текущего состояния устройства. Это состояние описывается вектором $Z = (z_1, z_2, \dots, z_n)$, значение которого запоминается с помощью n – триггеров на длительность такта. Структурная схема последовательностного устройства имеет вид:

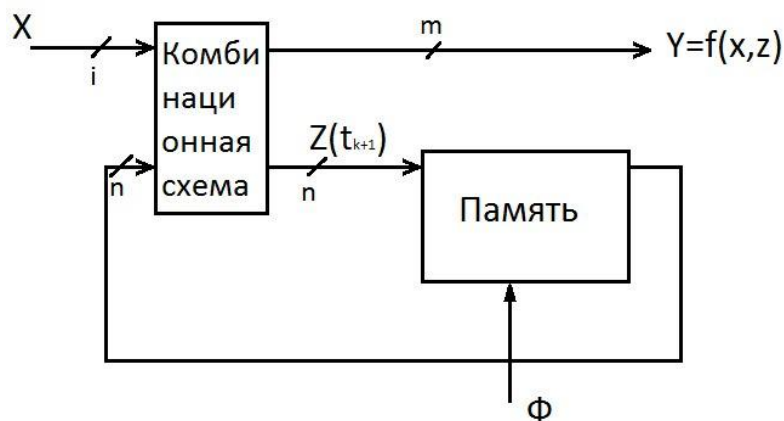


Рисунок 12. Общая структурная схема автомата, X – входной вектор, Y – выходной вектор, Z – вектор состояний.

Существует несколько основных разновидностей последовательных схем (узлов). Наиболее распространенными являются счетчики, регистры, схемы синхронизации.

3.1. Счетчики.

В цифровых устройствах часто возникает потребность в счете импульсов. При очень большом разнообразии счетчиков существует установившаяся классификация по функциональным признакам:

- по модулю счета: двоичные, десятичные (декадные); с произвольным постоянным модулем; с переменным модулем.
- по направлению счета: нереверсивные (суммирующие или вычитающие); реверсивные.
- по виду поразрядного переноса: с последовательным переносом; со сквозным переносом; с параллельным (групповым) переносом; с комбинированным переносом.
- по виду кодирования: со взвешенным кодом; с не взвешенным кодом.

3.1.1. Асинхронный (последовательный) двоичный счетчик.

Асинхронный двоичный счетчик может быть реализован в виде цепочки триггеров, тактовый вход каждого из которых подключен к выходу Q предыдущего триггера. Для получения суммирующего счетчика триггеры должны изменять свое состояние при переходе тактового сигнала из «1» в «0». Следовательно, нужны триггеры, срабатывающие по фронту импульса,

например JK – триггеры типа M-S при $J=K=1$. Разрядность в таких счетчиках можно наращивать.

Можно использовать триггеры, срабатывающие при переходе тактового сигнала из «0» в «1». Возможный вариант асинхронного двоичного суммирующего счетчика приведен на рисунке 13.

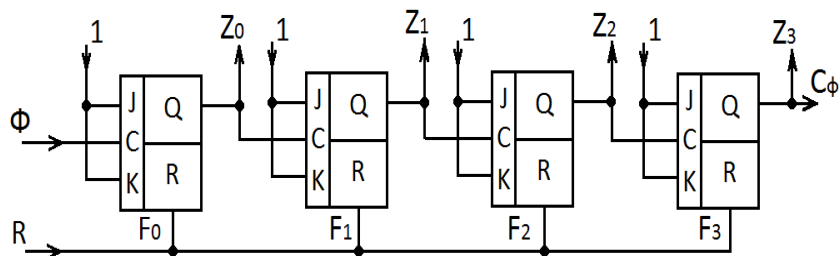


Рисунок 13. Схема асинхронного двоичного счетчика.

Таблица состояний асинхронного двоичного счетчика приведена в следующей таблице 11.

Таблица 11. Таблица состояний асинхронного двоичного счетчика.

Φ	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
Z_0 2^0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
Z_1 2^1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0
Z_2 2^2	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0
Z_3 2^3	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0

На рисунке 14 приведены временные диаграммы выходных состояний суммирующего счетчика.

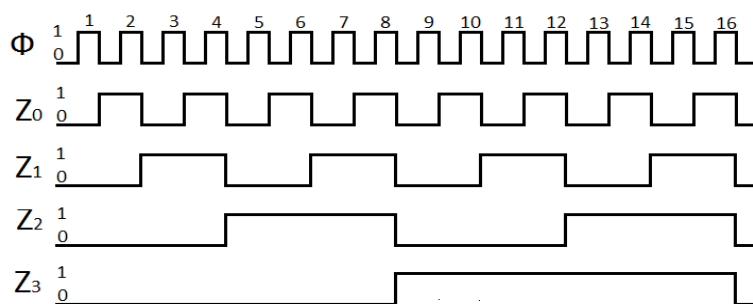


Рисунок 14. Временные диаграммы выходных состояний суммирующего счетчика.

Из рисунка 14 видно, что данный счетчик является и делителем частоты. Частота на выходе триггера F_0 равно половине тактовой частоты «Ф». На выходе триггера F_1 частота составляет $1/4$ тактовой частоты. На выходе триггера F_2 составляет $1/8$ частоты тактовых импульсов и т.д.

Важно знать, что характерной чертой асинхронного счетчика является то, что импульсы счета (тактовые импульсы) поступают на тактовый вход только первого триггера, а каждый из последующих триггеров управляется выходным сигналом Q предыдущего. Это приводит к тому, что сигнал на тактовый вход «С» последнего триггера приходит лишь тогда, когда все предыдущие триггеры переключились. Таким образом, изменение каждого из выходных сигналов от Z_0 до Z_n происходит с задержкой, равной времени срабатывания триггера. В многоразрядных последовательных счетчиках высокая частота следования импульсов счета может привести к тому, что n – триггер не успеет переключиться до прихода следующего импульса счета. От этого недостатка свободен синхронный (параллельный счетчик).

3.1.2. Синхронный (параллельный) двоичный счетчик.

В данном счетчике тактовые импульсы одновременно подаются на тактовые входы «С» триггеров всех разрядов. Чтобы в каждом такте, не переключались все триггеры, для управления процессом переключения используются логические J и K входы, как это показано на рисунке 15.

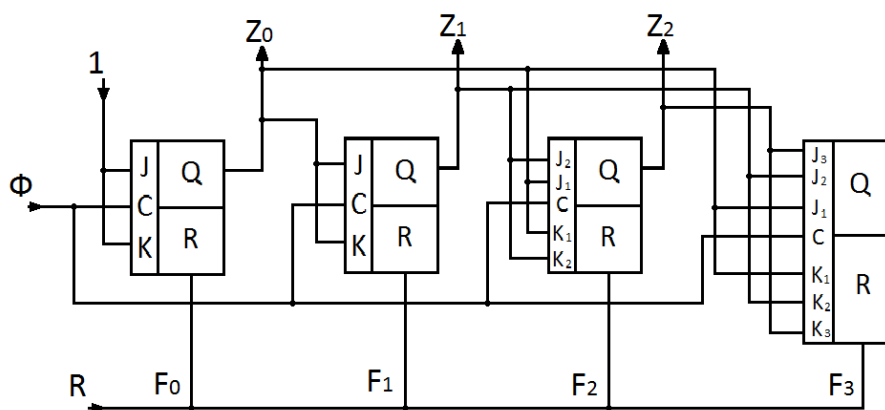


Рисунок 15. Синхронный двоичный счетчик.

В соответствии с таблицей 11 триггер F_0 переключается при поступлении каждого тактового импульса. Для этого в триггере F_0 должно выполняться условие $J=K=1$. Триггер F_1 при поступлении тактового импульса переключается только тогда, когда $Z_0 = 1$. Это достигается подключением «J» и «K» входов триггера F_1 к выходу Q (Z_0). Тогда этот триггер сохраняет свое состояние до тех пор, пока $Z_0 = 0$, и изменяет его лишь при подаче следующего тактового импульса, когда $Z_0 = 1$. Из таблицы 11 также видно, что триггер F_2 может переключиться при условии

$Z_0 = Z_1 = 1$. Для этого одна пара J-K входов подключается к выходам предыдущих триггеров.

Рассмотрение других видов счетчиков выходит за пределы программы курса «Схемотехника телекоммуникационных устройств» и поэтому в данной методической разработке не делается.

4. Регистры.

Регистры, применяемые в цифровых устройствах, по функциональному назначению разделяются на накопительные (регистры памяти) и сдвигающие. Основное назначение регистров памяти состоит в параллельном приеме многоразрядных слов информации и сохранении их в течении необходимого времени. Функциональный состав регистров памяти – это набор RS – триггеров, имеющих общую шину сброса. Как правило, информация вводится в RS – триггер через вентили, на которые одновременно подается сигнал ввода информации. Записанная в RS – триггер информация снимается так же через систему вентиляей.

Регистры сдвига предназначены для более сложной обработки информации за счет сдвига ее по тактовым импульсам. Наличие в регистрах сдвига возможности как параллельного, так и последовательного приема информации

позволяет выполнять на регистрах последовательно – параллельное преобразование кодов. Регистры сдвига могут применяться в качестве элементов временной задержки цифровой информации, генераторов циклических кодов и счетчиков. На рисунке 16 приведена схемная реализация четырехразрядного однофазного регистра памяти.

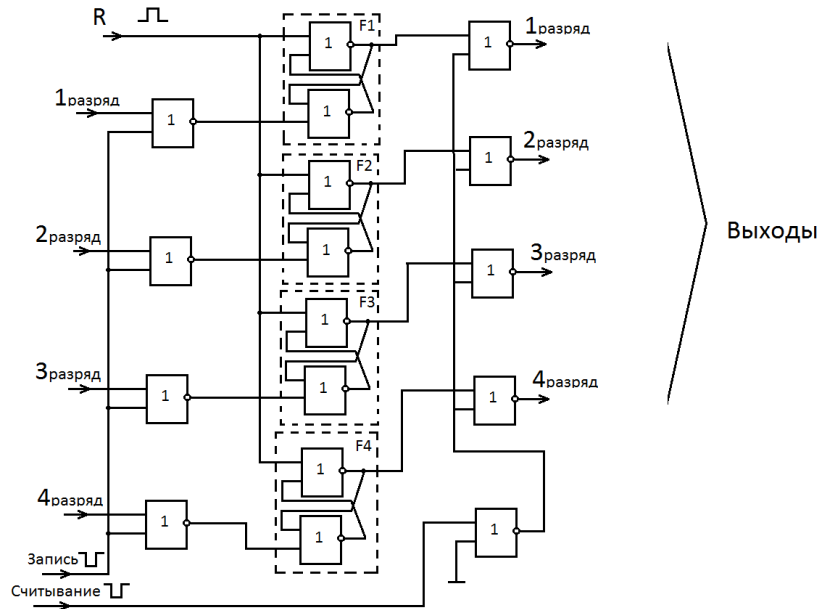


Рисунок 16. Схема четырехразрядного регистра памяти.

Данный регистр памяти построен на четырех RS – триггерах F1, F2, F3, F4. Для записи информации в этот (одноразрядный) регистр требуется два такта: первый

- «установка нуля» путем подачи на R – вход «1», второй

- «запись» осуществляется путем подачи на вход «запись» логического «0».

Считывание информации производится при подаче на вход «считывания» логического «0». Заметим, что при построении схемы регистра по парафазной схеме управления, запись в регистр происходит за один такт – «запись».

В регистрах сдвига информация при поступлении каждого тактового импульса сдвигается из одного триггера в следующий.

На рисунке 17 приведена схема сдвигового регистра, состоящего из четырех JK – триггеров типа M – S.

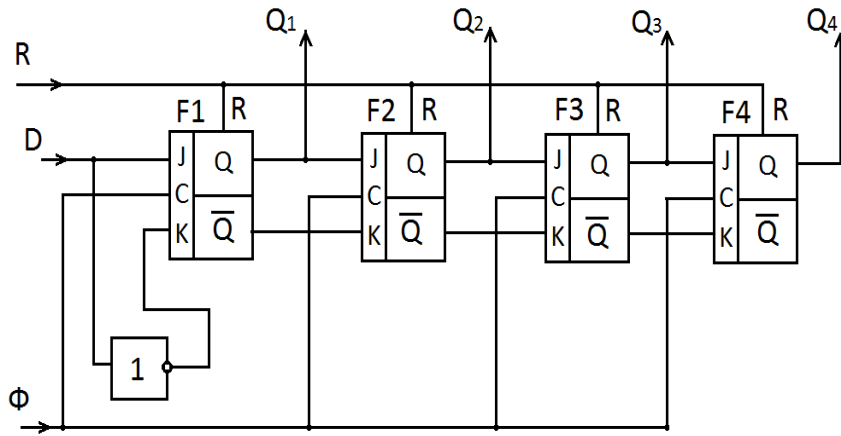


Рисунок 17. Сдвиговый регистр.

Опишем работу регистра. При подаче на тактовый вход Φ сигнала в виде логической «1» и, если в это время на информационный вход D поступит некий код $J = D_1$ (заметим при этом, на входе K будет действовать $K = \overline{D_1}$), то при переходе тактового входа в «0» на выходе триггера F_1 устанавливается состояние $Q_1 = D_1$. Далее при поступлении на вход Φ очередного тактового импульса триггер F_2 воспримет выходной код F_1 , т.е. $Q_2 = D_1$ и, если в это время на входе D триггера F_1 появится $Q_1 = D_2$. После третьего тактового импульса получим $Q_3 = D_1$, $Q_2 = D_2$ и $Q_1 = D_3$ (при этом, разумеется, на информационный вход D поступил новый код $J = D_3$). После четвертого тактового импульса состояние выходов триггеров примет вид: $Q_4 = D_1$, $Q_3 = D_2$, $Q_2 = D_3$ и $Q_1 = D_4$ (опять-таки при этом на вход D поступал новый код $J = D_4$). Таким образом, каждый тактовый импульс приводит к сдвигу регистра на один разряд и вводу новой информации на входе D . Работу данного регистра сдвига можно представить таблицей 12.

Таблица 12. Функционирование четырех разрядного регистра сдвига.

Номер тактового импульса	Q_1	Q_2	Q_3	Q_4
1	D_1	–	–	–
2	D_2	D_1	–	–
3	D_3	D_2	D_1	–
4	D_4	D_3	D_2	D_1
5	D_5	D_4	D_3	D_2
6	D_6	D_5	D_4	D_3
7	D_7	D_6	D_5	D_4

5. Контрольные вопросы.

1. Перечислите основные логические функции и запишите их логические соотношения.
2. Назовите три основные операции между логическими переменными.
3. Нарисуйте таблицу истинности для логического сложения.
4. Нарисуйте таблицу истинности для логического умножения.
5. Дайте определение логической функции «конъюнкция».
6. Дайте определение логической функции «дизъюнкция».
7. Дайте определение функции «Штрих Шеффера».
8. Дайте определение функции «Стрелка Пирса».
9. Нарисуйте схемотехническое обозначение логических элементов И, НЕ, И – НЕ, ИЛИ, ИЛИ – НЕ.
10. Нарисуйте возможные схемы реализации логических функций И, И – НЕ.
11. Нарисуйте возможные схемы реализации логических функций ИЛИ, ИЛИ – НЕ.
12. дайте определение логической функции «исключающее ИЛИ».
13. Нарисуйте схемотехническое обозначение логической функции «суммирование по модулю 2 (два).
14. Дайте определение логическим функциям «равнозначность» и «неравнозначность».
15. Нарисуйте «основную» схему триггера на логических элементах ИЛИ – НЕ (или на И – НЕ).
16. Составьте таблицу истинности для RS – триггера.
17. Нарисуйте схемотехническое условное обозначение триггера RS – типа.
18. Дайте определение для триггера D – типа и назовите основное его функциональное отличие от RS – триггера.
19. Нарисуйте таблицу истинности для триггера D – типа.
20. Расскажите о возможных схемах реализации триггера D – типа.
21. Расскажите о триггере JK – типа и нарисуйте для него таблицу истинности.
22. Дайте определение терминам «комбинационные логические схемы» и «последовательностные логические схемы».

23. Дайте определение логическому устройству «сумматор».
24. Нарисуйте таблицу истинности для «полусумматора».
25. Составьте схему одноразрядного полусумматора.
26. Зарисуйте таблицу истинности для полного сумматора.
27. Дайте определение и назначения цифрового устройства «схема сравнения».
28. Нарисуйте таблицу истинности для функций «равнозначность» и «неравнозначность».
29. Дайте определение цифровому устройству «дешифратор».
30. Дайте определение цифровому устройству «счетчик», классификацию и назначение.
31. Расскажите о схемотехнической реализации асинхронного двоичного счетчика.
32. Нарисуйте таблицу истинности «состояний» асинхронного двоичного счетчика.
33. Расскажите о цифровом устройстве «регистр», о его классификации по функциональному назначению.
34. Расскажите о возможной схемной реализации регистра памяти.
35. Расскажите о возможной схемной реализации регистра сдвига.
36. Нарисуйте таблицу функционирования четырех разрядного регистра сдвига.

6. Использованная литература.

1. Волович В.Г. Схемотехника аналоговых и аналого-цифровых электронных устройств. Издательский дом «Додэка - XXI» М. : 2011 г. 33 п.л.
2. Китаев Ю.В. Основы цифровой техники. Учебное пособие. М: 2007г, 87с.
3. Бойко В., др Схемотехника электронных систем. Цифровые устройства. Издание : БХВ – Петербург, 2004г.
4. Райхлин. Основы цифровой схемотехники. Учебное пособие для вузов. Каз. ГУ. 2002г., 350с, PDF.
5. Хоровиц П., Хилл У. Искусство схемотехники. Издание 3-е, стереотипное, том 1 под редакцией М.В. Гальперина, -М. МИР, 1986г.

6. Титце У., Шенк К. Полупроводниковая схемотехника. Перевод с немецкого под редакцией А.Г. Алексенко, -М. МИР 1988 г.
7. Пятлин О.А., Овсищер П.И., Лазер И.М. и др. Проектирование микроэлектронных цифровых устройств. Под редакцией С.А. Майорова. –М, Сов. Радио, 1977г.
8. Справочник по интегральным микросхемам. Под общей редакцией Б.В. Тарабрина. – М, Энергия 1977г.
9. Аналоговые и цифровые интегральные схемы. Под редакцией С.В. Якубовского. – М. Сов. Радио.1997г.
10. Ричард Б. Харли. Логические схемы на транзисторах. Перевод с английского. – М. МИР, 1965г.

Приложение 1.

1. Основные операции булевой алгебры.

Булева алгебра является одним из разделов математики, который особенно хорошо пригоден для анализа и синтеза переключательных (цифровых) схем. В отличие от обычной алгебры, булева алгебра располагает двумя переменными, которые могут принимать только два различных значения, подобно тому, как возможны лишь два состояния: «включено» и «выключено».

Основными операциями булевой алгебры являются: отрицание, логическое сложение и логическое умножение. В булевой алгебре возведение в степень и извлечение корня являются вырожденными логическими операциями, поскольку значения, принимаемые переменной, могут быть равно только «0» и «1» и при возведении в степень и извлечении корня, остаются неизменными, если предполагать справедливость равенства $1^1 = 1$ и $0^0 = 0$.

Операции вычитания и деления не допускаются.

Отрицание обозначается надстрочным индексом – штрихом, например X' читается как «НЕ X» или «X штрих». Отрицание также называется инверсией или дополнением.

Логическое «сложение» обозначается с помощью знака плюс, например $X_1 + X_2$ и читается как X_1 плюс X_2 . Сложение также называется «объединением» или «дизъюнкцией». Обозначается часто символом $X_1 \vee X_2$. Также операция логического сложения называется «включающим ИЛИ» и читается как « X_1 или X_2 ». Операция ИЛИ записывается таким образом:

ИЛИ $(X_1, X_2) = X_1 + X_2$. Смысл этой операции таков: $X_1 + X_2 = 1$, когда $X_1 = 1$ или $X_2 = 1$ или когда и $X_1 = 1$ и $X_2 = 1$; в противном случае $X_1 + X_2 = 0$.

Логическое «умножение» обозначается так же, как и произведение в обычной алгебре, т.е. $X_1 \square X_2, X_1(X_2), X_1 \times X_2$ или просто $X_1 X_2$. Читается « X_1 умножить на X_2 ». Логическое произведение называют «совпадение» или операцией «И». $(И(X_1 X_2)) = X_1 X_2$. Логическое умножение также называют «конъюнкцией».

Смысл этой операции в том, что $X_1 X_2 = 1$, только если и $X_1 = 1$ и $X_2 = 1$.

Обозначение $X_1 \wedge X_2$.

2. Основные тождества.

Булеву алгебру можно применять, зная три основные операции: НЕ, ИЛИ и И. Однако сделать это легче, если будет известно еще несколько основных тождеств, вытекающих из определений основных операций.

Основные тождества:

Пункт	Название	Тождество
1	Элементарные высказывания	$a + a' = 1$
2	—//—//—	$aa' = 0$
3	—//—//—	$a + 1 = 1$
4	—//—//—	$a \cdot 1 = a$
5	—//—//—	$a + a = a$
6	—//—//—	$a \cdot a = a$
7	—//—//—	$a'' = a$
8	Сочетательный закон	$(a + b) + c = a + (b + c)$
9		$(ab)c = a(bc)$
10	Теорема де Моргана	$(a + b)' = a'b'$
11		$(ab)' = a' + b'$
12	Переместительный закон	$a + b = b + a$
13		$ab = ba$
14	Распределительный закон	$a(b + c) = ab + ac$
15		$a + bc = (a + b)(a + c)$